

Démontrer la distributivité du OU sur le ET.

Quelques soit A, B, C on a $A + (B \cdot C) = (A + B) \cdot (A + C)$

$$P1 = A + (B \cdot C)$$

$$P2 = (A + B) \cdot (A + C)$$

A	B	C	B . C	A + B	A + C	P1	P2
0	0	0	0	0	0	0	0
0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0
0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1
1	0	1	1	0	1	1	1
1	1	0	0	0	1	1	1
1	1	1	1	1	1	1	1

Comparateur d'égalité avec des NAND.

A	B	S
0	0	1
0	1	0
1	0	0
1	1	1

$$S = (\neg A \cdot \neg B) + A \cdot B$$

$$S = \neg \neg ((\neg A \cdot \neg B) + A \cdot B)$$

$$S = \neg (\neg (A \cdot \neg B) \cdot \neg (A \cdot B))$$

{ OU , NON } est un groupe comple

$$\overline{\overline{A}} = A$$

$$A + B = \overline{\overline{A + B}}$$

$$A \cdot B = \neg \neg (A \cdot B) = \neg (\neg A \cdot \neg B)$$

{ NAND } est un groupe comple

$$\neg A = \neg (A \cdot A)$$

$$A + B = \neg \neg (A + B) = \neg (\neg A \cdot \neg B) = \neg (\neg (A \cdot A) \cdot \neg (B \cdot B))$$

$$A \cdot B = \neg \neg (A \cdot B) = \neg (\neg (A \cdot B) \cdot \neg (A \cdot B))$$

L'opérateur (ou exclusif) \oplus étant défini par la relation $A \oplus B = (A + B) . /(A . B)$
Démontrer les relations suivantes :

a) $A \oplus B = /A \oplus /B$

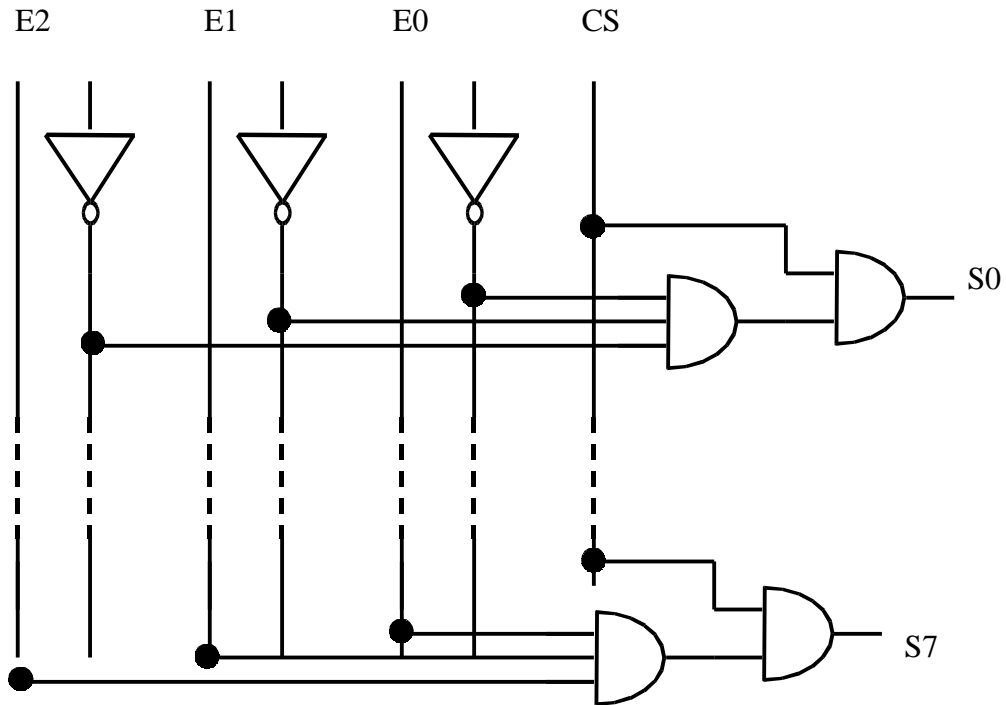
$$\begin{aligned} & /A \oplus /B \\ &= (/A + /B) . / (/A . /B) \\ &= (/A + /B) . (A + B) \\ &= (/(A.B)) . (A + B) \end{aligned}$$

b)

Décodeur 3 * 8 avec CS :

$$S0 = CS ./E2 ./E1 ./E0$$

$$S7 = CS.E2.E1.E0$$



Transcodeur BCD → Aïcken

$$S3 = e0.e2./e3 + /e2./e1.e3 + e1.e2./e3$$

$$S2 = e3./e2./e1 + /e3.e2.e1 + /e0./e3.e2$$

$$S1 = e1./e2./e3 + /e1./e2.e3 + e0./e1.e2./e3$$

$$S0 = e0$$

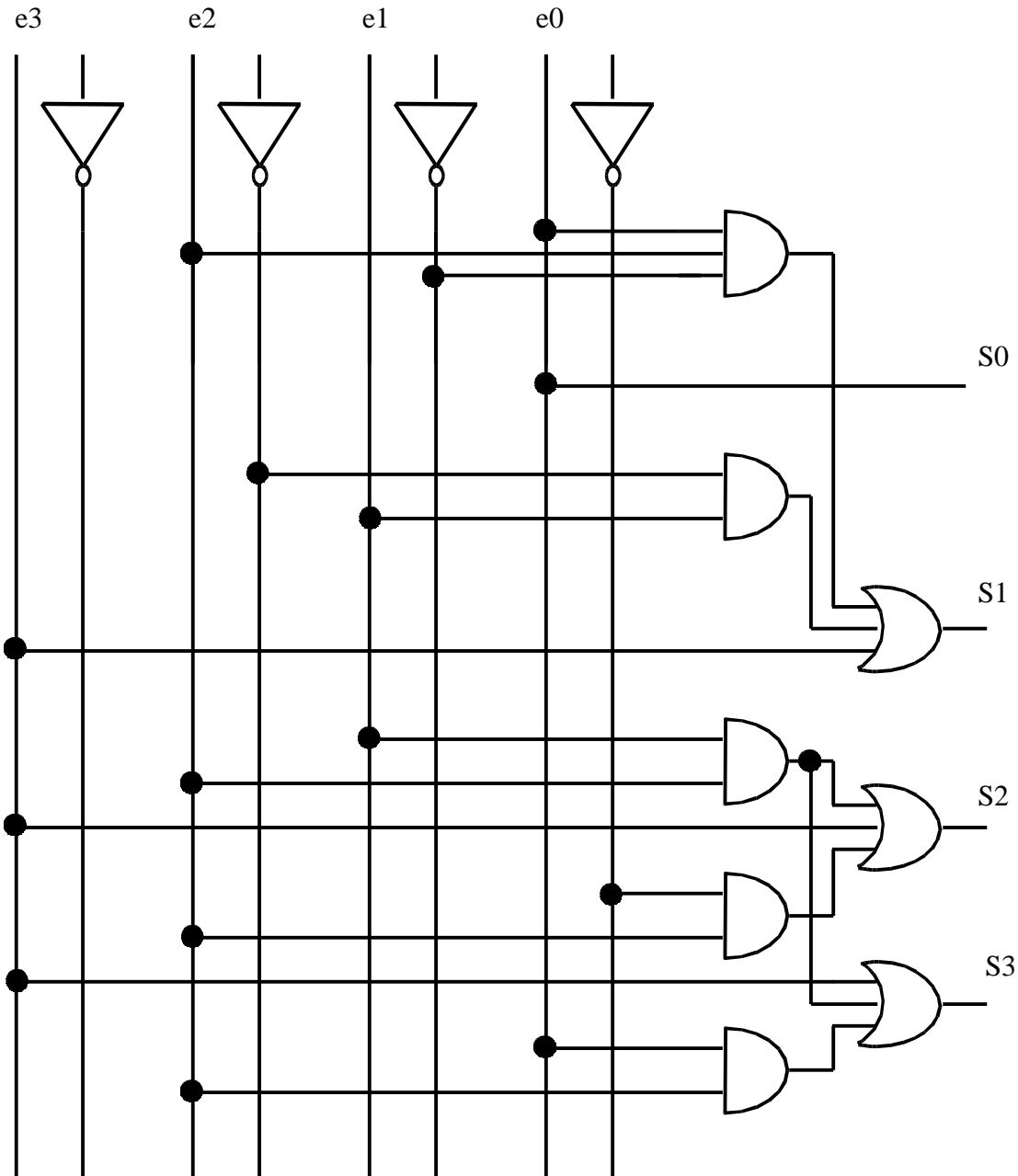
IL FAUT PRENDRE EN COMPTE LES ETATS INDIFFERENTS

$$S3 = e3 + e2.e0 + e1.e2$$

$$S2 = e3 + e2.e1 + /e0.e2$$

$$S1 = e3 + /e1.e2.e0 + /e2.e1$$

$$S0 = e0$$



Codeur chiffr → BCD

e9 → e0

s3 → s0

e0	0	0	0	0
e1	0	0	0	1
e2	0	0	1	0
e3	0	0	1	1
e4	0	1	0	0
e5	0	1	0	1
e6	0	1	1	0
e7	0	1	1	1
e8	1	0	0	0
e9	1	0	0	1

$$s3 = (e8 + e9) . CS$$

$$s2 = (e4 + e5 + e6 + e7) . CS$$

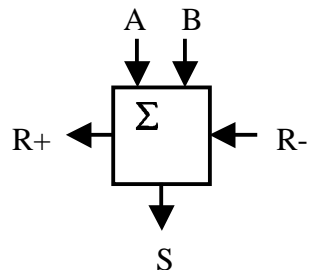
$$S1 = (e2 + e3 + e6 + e7) . CS$$

$$s0 = (e9 + e7 + e5 + e3 + e1) .CS$$

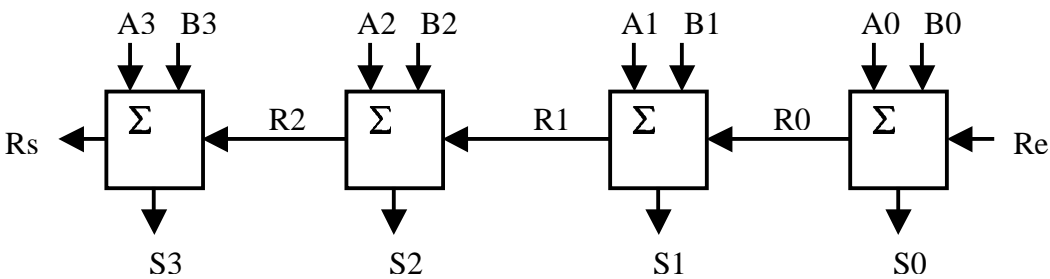
Additionneur binaire

$$Si = / Ri-1 (A0 \oplus A1) + Ri-1 . / (A0 \oplus A1)$$

$$Ri = / Ri-1 (A0 . A1) + Ri-1 . (A0 + A1)$$

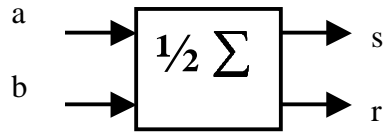


Additionneur de deux nombres de 4 bits en utilisant un additionneur binaire

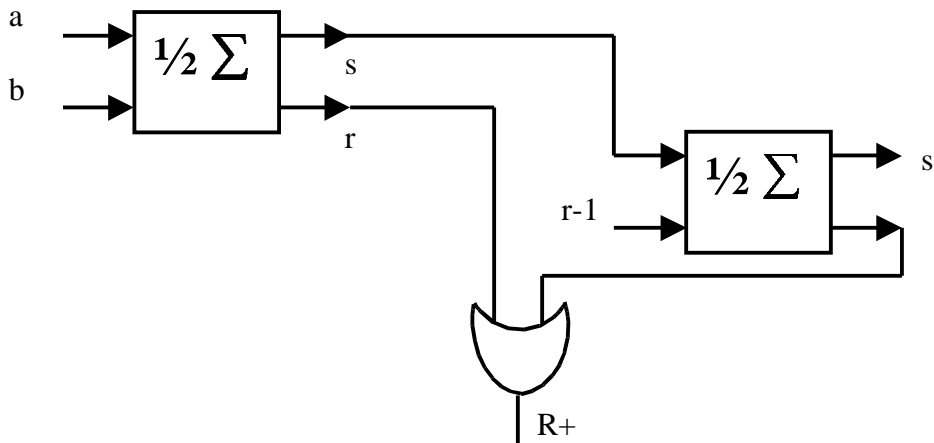


Demi additionneur

a	b	s	r
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



Additionneur à partir de deux demi additionneur



Décodeur BCD → Chiffres

- Une erreur peut se produire sur les entrées
(On ajoute une sortie erreur et les autres sorties à 0)
- Il ne se produit jamais d'erreur sur les entrées
(On utilise les cas d'erreur pour simplifier)

1.

Ei	s3	s2	s1	s0
s0	0	0	0	0
s1	0	0	0	1
s2	0	0	1	0
s3	0	0	1	1
s4	0	1	0	0
s5	0	1	0	1
s6	0	1	1	0
s7	0	1	1	1
s8	1	0	0	0
s9	1	0	0	1

$$sE = e3 \cdot e2 + e3 \cdot e1$$

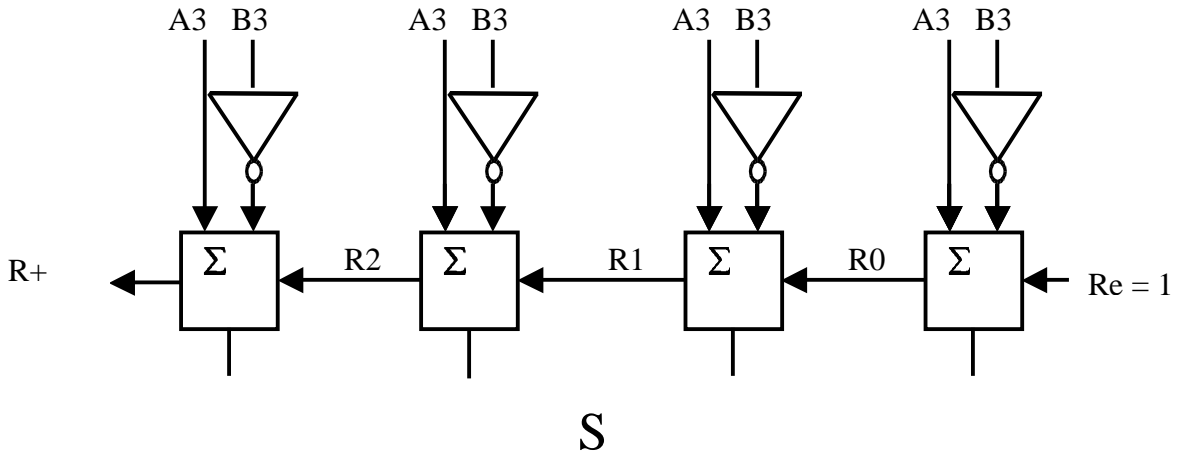
		e1e0			
		00	01	11	10
e3e2	00				
	01				
	11	1	1	1	1
	10			1	1

2.

Ei	s3	s2	s1	s0
s0	0	0	0	0
s1	0	0	0	1
s2	-	0	1	0
s3	-	0	1	1
s4	-	1	0	0
s5	-	1	0	1
s6	-	1	1	0
s7	-	1	1	1
s8	1	0	0	0
s9	1	0	0	1

Un circuit réalisant la soustraction de deux nombres de 4 bits en utilisant un additionneur et quelques portes

$$\begin{aligned}
 A - B &= A + \overline{C}V(B) \\
 &= A + (\overline{C}R(B) + 1) \\
 &= A + \overline{B} + 1
 \end{aligned}$$



Soustracteur binaire

A	B	D	R
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

$$\begin{aligned}
 D &= A \oplus B \\
 R &= \overline{A} \cdot B
 \end{aligned}$$

Soustracteur :

A	B	R-	D	R+
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

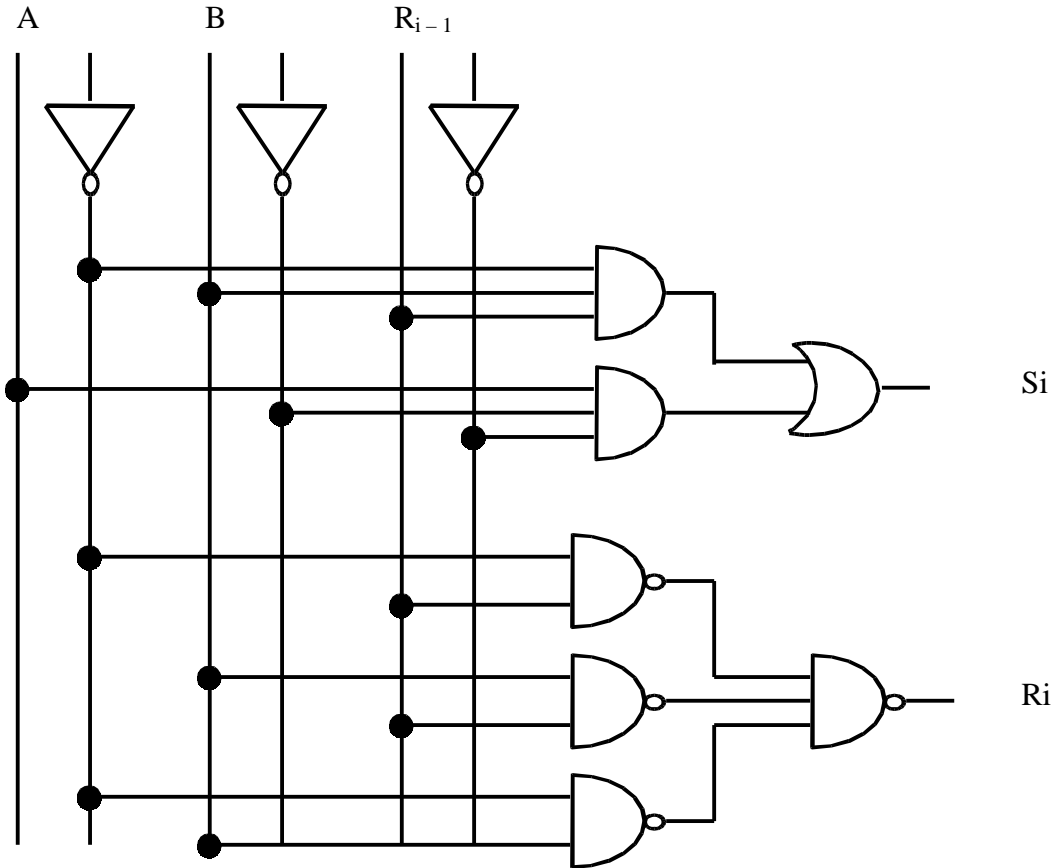
$$D = A \oplus B \oplus R-$$

$$R+ = \overline{A} \cdot R- + \overline{A} \cdot B + B \cdot R-$$

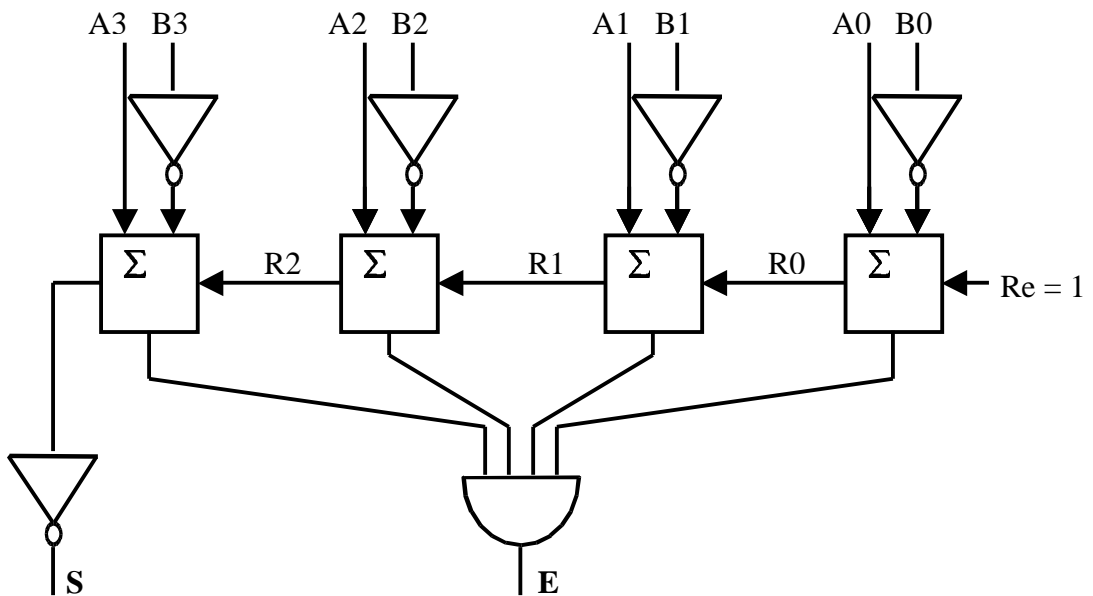
$$S_i = \overline{A} \cdot B \cdot R_{i-1} + A \cdot \overline{B} \cdot R_{i-1}$$

$$R_i = \overline{A} \cdot R_{i-1} + B \cdot R_{i-1} + \overline{A} \cdot B$$

$$R_i = \overline{(\overline{(\overline{A} \cdot R_{i-1})} \cdot (B \cdot R_{i-1}))} \cdot \overline{(\overline{A} \cdot B)}$$



Circuit réalisant la comparaison de deux nombres de 4 bits A et B avec deux sorties : s := A > B et E := A = B



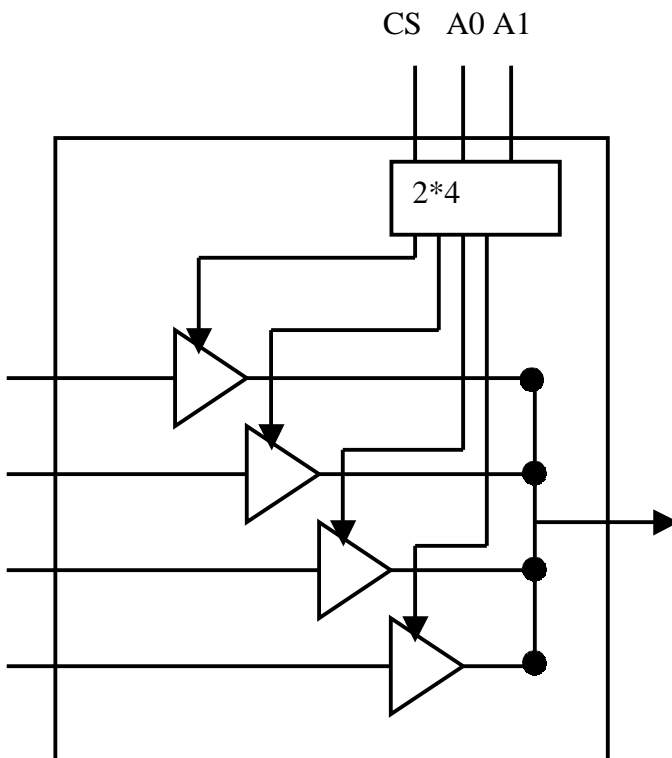
Multiplexeur 4 voies

e5	e4	e3	e2	CM1	CM0	S
				0	0	e2
				0	1	e3
				1	0	e4
				1	1	e5

$$S1 = CS \cdot (e2 \cdot /CM1 \cdot / CM0 + e3 \cdot /CM1 \cdot CM0 + e4 \cdot CM1 \cdot / CM0 + e5 \cdot CM1 \cdot CM0)$$

CS	A1	A0	Si
1	0	0	E0i
1	0	1	E1i
1	1	0	E2i
1	1	1	e3i
0	-	-	0

Multiplexeur 4 voies avec buffers 3 états



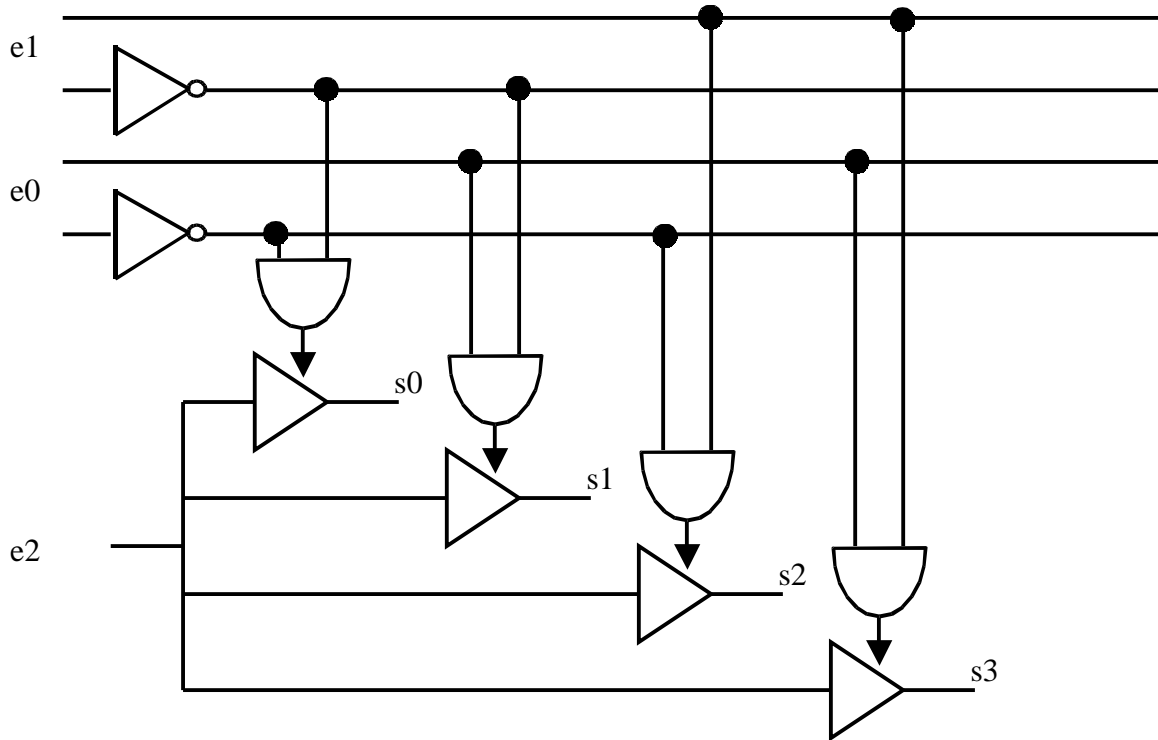
Démultiplexeur 4 voies

$$S0 = e2 \cdot /e1 \cdot /e0$$

$$S1 = e2 \cdot /e1 \cdot e0$$

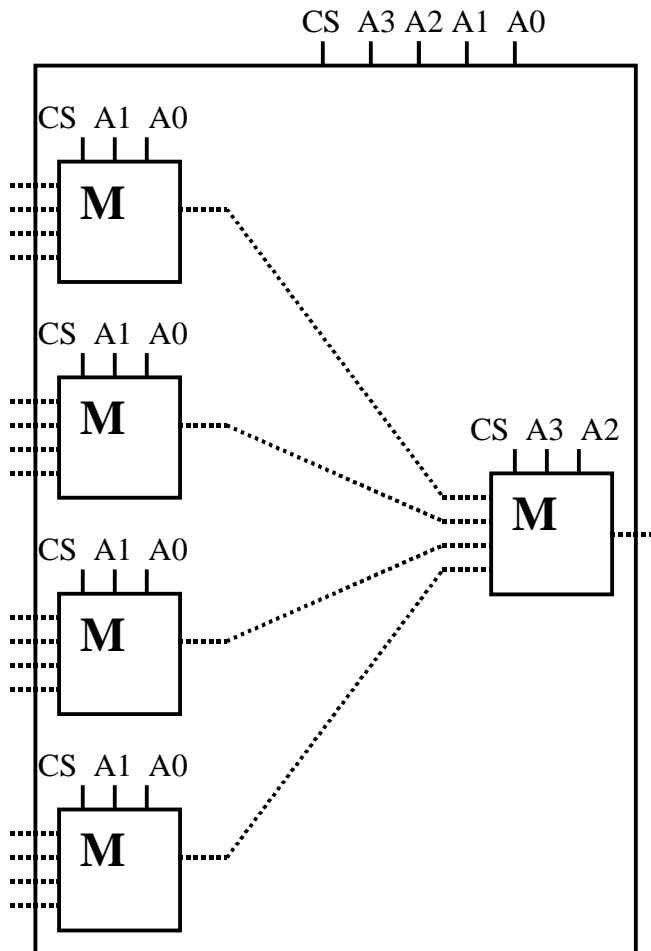
$$S2 = e2 \cdot e1 \cdot /e0$$

$$S3 = e2 \cdot e1 \cdot e0$$

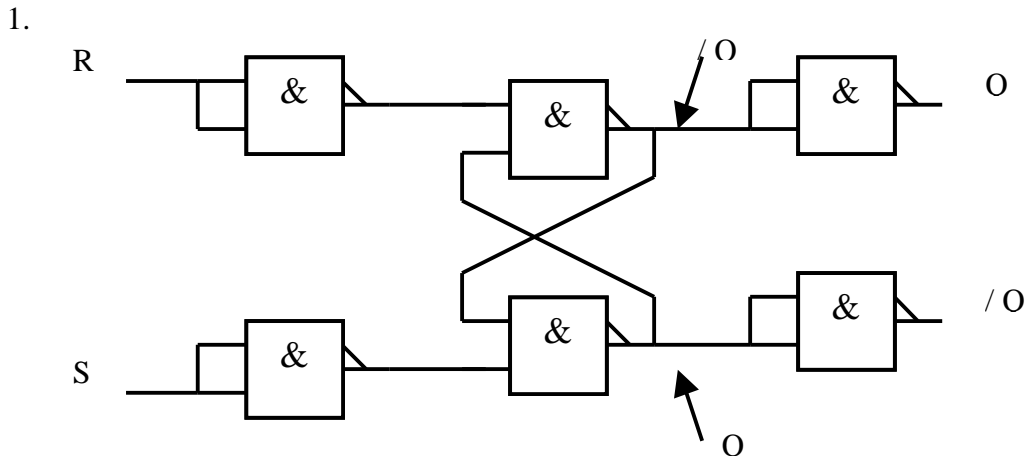


Multiplexeur 16 voies à partir de multiplexeurs à 4 voies

..... : Bus de données



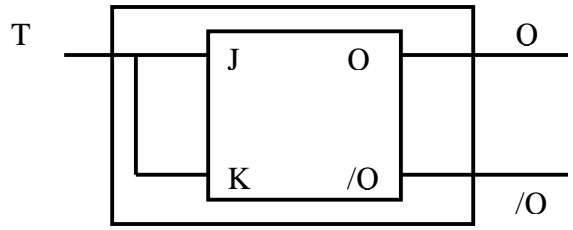
Bascules et compteurs :



2.

a.

Qt	T	J	K	Qt+1
0	0	0	0	0
		0	1	
0	1	1	0	1
		1	1	
1	0	0	0	1
		1	0	
1	1	0	1	0
		1	1	

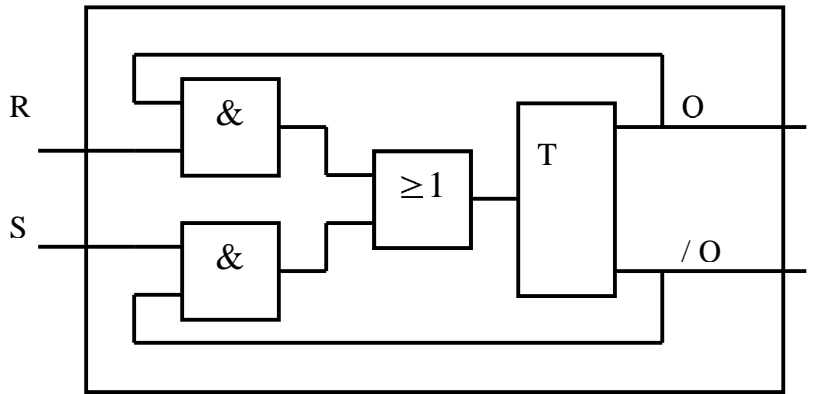


b.

Qt	T	D	Qt+1
0	0	0	0
0	1	-	1
1	0	1	1
1	1	0	0

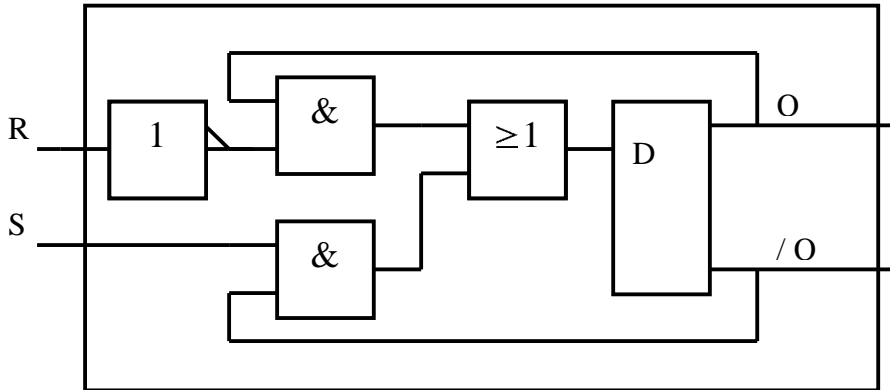
c.

R	S	Qt	T	Qt+1
0	0	0	0	0
0	0	1	0	1
0	1	0	1	1
0	1	1	0	1
1	0	0	0	0
1	0	1	1	0
1	1	0	1	1
1	1	1	1	0



d.

R	S	Qt	D	Qt+1
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	-	-
1	1	1	-	-



3.

q2t	q1t	q0t	j2	k2	j1	k1	j0	k0	q2 t+1	q1 t+1	q0 t+1
0	0	0	0	-	0	-	1	-	0	0	1
0	0	1	0	-	1	-	-	1	0	1	0
0	1	0	0	-	-	0	-	1	0	1	1
0	1	1	1	-	-	1	-	1	1	0	0
1	0	0	-	1	0	-	0	-	0	0	0

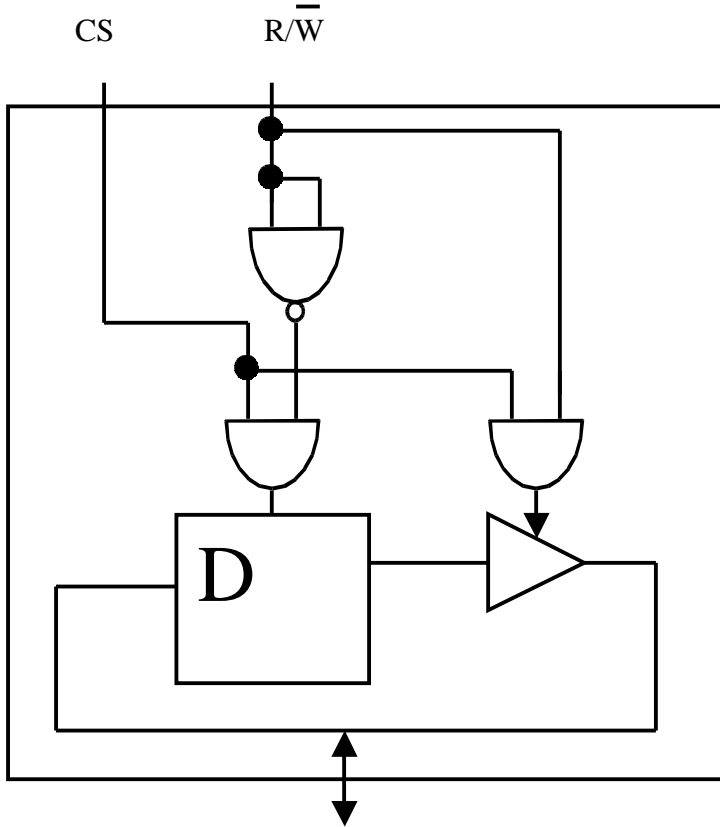
4.

$$\begin{aligned}
 j_0 &= q_1 & k_0 &= q_3 \cdot q_2 & j_1 &= q_3 \cdot q_2 & k_1 &= q_0 & j_2 &= q_3 + q_1 \\
 k_2 &= /q_0 \cdot q_3 + q_1 \cdot q_0 & j_3 &= q_2 + /q_1 & k_3 &= q_2 + /q_0
 \end{aligned}$$

q3t	q2t	q1t	q0t	j3	k3	j2	k2	j1	k1	j0	k0	q3t+1	q2t+1	q1t+	q0t+1	c
0	0	0	0	1	1	0	0	0	0	0	0	1	0	0	0	8
1	0	0	0	1	1	1	1	0	0	0	0	0	1	0	0	4
0	1	0	0	1	1	0	0	0	0	0	0	1	1	0	0	12
1	1	0	0	1	1	1	1	1	0	0	1	0	0	1	0	2
0	0	1	0	0	1	1	0	0	0	1	0	0	1	1	1	7
0	1	1	1	1	1	1	1	0	1	1	0	1	0	0	1	9
1	0	0	1	1	0	1	0	0	1	0	0	1	1	0	1	13
1	1	0	1	1	1	1	0	1	1	0	1	0	1	1	0	6
0	1	1	0	1	1	1	0	0	0	1	0	1	1	1	1	15
1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0

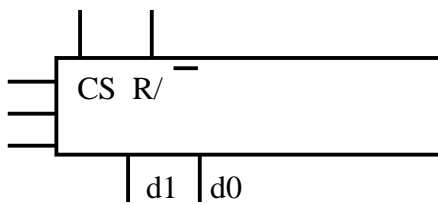
1. Cellule mémoire avec CS, $\overline{R/W}$, bus de données bidirectionne

CS	R/W	D	H	C	E3	E/S	Qt+1	Etat
0	0	-	0	0	-	Hi	Qt	Mémorisation
0	1	-	0	0	-	Hi	Qt	Mémorisation
1	0	E	1	0	-	Hi	E	Ecriture
1	1	-	0	1	Qt	Qt	Qt	Lecture



2. Boitier mémoire 8 * 2

8 mots de 2 bits (chacun)

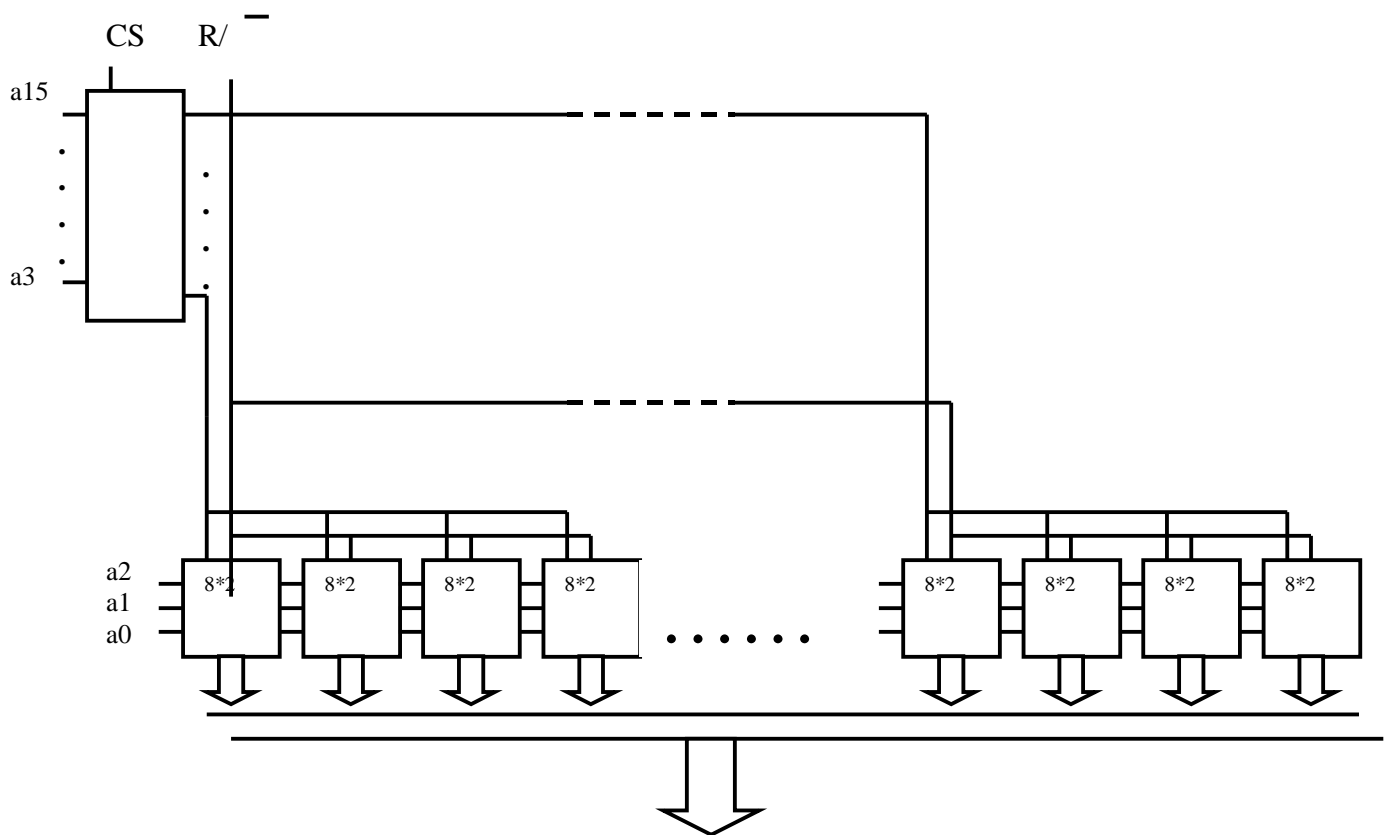


64 K * 8 ⇒ 16 fils d'adresse et 8 fils de données

$$\log_2 (X) = \log_{10} (X) / \log_2 (2)$$

$$\begin{array}{ccc} 2^3 & * & 2 \\ \left| \begin{array}{c} * 2^{13} \\ 2^{16} \end{array} \right. & * & \left. \begin{array}{c} * 4 \\ 8 \end{array} \right. \end{array}$$

$$2^{13} * 2^2 = 2^{15} = 32 \text{ K}$$



Pour passer de 64 k * 16 → 128 k * 8 on utilise un multiplexeu